

PAT-NO: JP02001094061A
DOCUMENT-IDENTIFIER: JP 2001094061 A
TITLE: SEMICONDUCTOR INTERGRATED-CIRCUIT
DEVICE
PUBN-DATE: April 6, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
KIM, KWANG-IL	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SAMSUNG ELECTRONICS CO LTD	N/A

APPL-NO: JP2000245048

APPL-DATE: August 11, 2000

INT-CL (IPC): H01L027/04, H01L021/822 , H01L021/3205 ,
H01L021/8234
 , H01L027/06 , H01L027/08 , H01L029/786

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated-circuit device of an SOI struc ture which can reduce the chip area.

SOLUTION: A resistance diffusion region 7 is formed inside a semiconductor substrate 1 under a first MOS transistor 4 and a second MOS transistor 5, so as to be isolated by an insulating film 2.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-94061

(P2001-94061A)

(43) 公開日 平成13年4月6日(2001.4.6)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 27/04		H 0 1 L 27/08	3 3 1 E
21/822		27/04	R
21/3205		21/88	Z
21/8234		27/04	A
27/06		27/06	1 0 2 A
審査請求 未請求 請求項の数 6 O L (全 5 頁) 最終頁に続く			

(21) 出願番号 特願2000-245048(P2000-245048)

(22) 出願日 平成12年8月11日(2000.8.11)

(31) 優先権主張番号 1 9 9 9 P - 3 3 5 1 1

(32) 優先日 平成11年8月14日(1999.8.14)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 金 光 日

大韓民国京畿道水原市八達区英通洞黄骨夕

ウン 新明アパート201棟202号

(74) 代理人 100086368

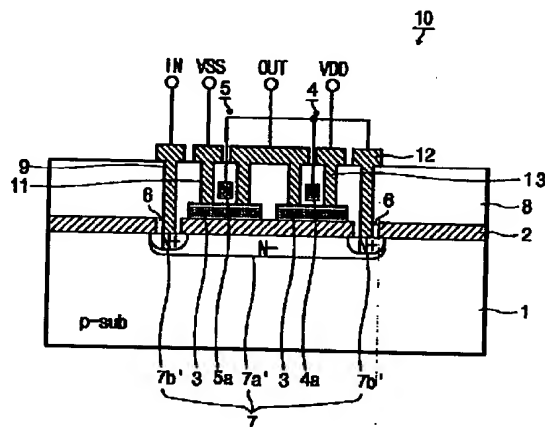
弁理士 萩原 誠

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 チップ面積を減らすことのできるSOI構造の半導体集積回路装置を提供すること。

【解決手段】 抵抗拡散領域7は絶縁膜2を隔てて第1および第2MOSトランジスタ4, 5下部の半導体基板1内に形成される。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板の上に絶縁膜を隔てて形成された半導体物質層、

この半導体物質層とその上部に形成された集積回路と、
この集積回路下部の半導体基板に形成された第2導電型の拡散領域とを含むことを特徴とする半導体集積回路装置。

【請求項2】 前記拡散領域は抵抗として使用されることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 第1導電型の半導体基板と、
この半導体基板の上に絶縁膜を隔てて形成された半導体物質層と、
この半導体物質層とその上部に形成されたMOS回路と、
このMOS回路下部の半導体基板に形成された第2導電型の拡散領域とを含むことを特徴とする半導体集積回路装置。

【請求項4】 前記拡散領域は抵抗として使用されることを特徴とする請求項3に記載の半導体集積回路装置。

【請求項5】 第1導電型の半導体基板と、
この半導体基板の上に絶縁膜を隔てて形成された半導体物質層と、
この半導体物質層とその上部に形成され、ゲート、第1電圧に接続されるソース及び信号出力端子に接続されるドレインを有する第1MOSTランジスタと、
同様に前記半導体物質層とその上部に形成され、前記第1MOSTランジスタのゲートに接続されるゲート、前記第1MOSTランジスタのドレインに接続されるドレイン及び第2電圧に接続されるソースを有する第2MOSTランジスタと、
前記第1及び第2MOSTランジスタ下部の半導体基板内に形成され、一側が信号入力端子に接続され他側が前記第1及び第2MOSTランジスタのゲートに共通に接続される第2導電型の拡散領域とを含むことを特徴とする半導体集積回路装置。

【請求項6】 前記拡散領域は抵抗として使用されることを特徴とする請求項5に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路装置に関するものであり、より具体的にはSOI構造を有する半導体集積回路装置に関するものである。

【0002】

【従来の技術】SOI(silicon on insulator)技術は高速MOS回路とCMOS回路を製造するための技術である。このような技術によると、シリコンのような半導体物質層が絶縁膜の上に蒸着され、半導体物質層とその下部の絶縁膜及び基板の間のキャパシタカップリングが減少することになる。薄い半導体物質層に製造される電界効果トランジスタと他の素子

は高速スイッチング動作が可能である。SOI技術は図1に示すように支持バルクウェハ1上の絶縁膜2上に配置される半導体物質層3を使用する。上述したようなSOI基板はSIMOX(separation by implanted oxygen)SOI基板又はBE(bonded and etchback)SOI基板のうちのいずれか一つである。一般的に、SOI構造は単結晶シリコン基板上にシリコン酸化膜である埋込酸化膜と単結晶シリコン膜を含む。

10 【0003】図1は従来のSOI構造を有する半導体集積回路装置の断面図を示し、SOI基板の上に集積回路(CMOSインバータ回路)10が形成されており、この集積回路10と隣接して半導体基板1内に抵抗拡散領域(resistor diffusion region)7が形成されている。従来のSOI構造を有する半導体集積回路装置はU. S. pat. No. 5, 786, 616 "SEMICONDUCTOR INTEGRATED CIRCUIT HAVING AN SOI STRUCTURE, PROVIDED WITH A PROTECTIVE CIRCUIT"に掲載されている。抵抗拡散領域7は半導体基板1に不純物を注入することで形成され、金属コンタクトを通じて信号入力端INと集積回路10に接続される。

【0004】

【発明が解決しようとする課題】しかし、抵抗拡散領域7はトランジスタ、キャパシタ或いはダイオード等のような素子が形成されていないSOI基板の下部に形成されるので、半導体集積回路装置のレイアウト面積を増加させる要因になる。

30 【0005】本発明は上記の点に鑑みなされたもので、チップ面積を減らすことができる半導体集積回路装置を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明の一特徴によると、半導体集積回路装置は集積回路と拡散領域を含む。集積回路は第1導電型の半導体基板の上に絶縁膜を隔てて形成された半導体物質層とその上部に形成される。拡散領域は集積回路下部の半導体基板に第2導電型で形成される。好ましい形態として、拡散領域は抵抗として使用される。

【0007】本発明の他の特徴によると、半導体集積回路装置は半導体基板、半導体物質層、MOS回路及び拡散領域を含む。半導体物質層は半導体基板の上に絶縁膜を隔てて形成される。MOS回路は半導体物質層とその上部に形成される。拡散領域はMOS回路下部の半導体基板に第2導電型で形成される。好ましい形態として、拡散領域は抵抗として使用される。

【0008】本発明のさらに他の特徴によると、半導体集積回路装置は半導体基板、半導体物質層、第1MOSTランジスタ、第2MOSTランジスタそして拡散領域

を含む。半導体物質層は半導体基板の上に絶縁膜を隔てて形成される。第1MOSTランジスタは半導体物質層とその上部に形成され、ゲート、第1電圧に接続されるソース及び信号出力端子に接続されるドレインを有する。第2MOSTランジスタは同じく半導体物質層とその上部に形成され、第1MOSTランジスタのゲートに接続されるゲート、第1MOSTランジスタのドレインに接続されるドレイン及び第2電圧に接続されるソースを有する。拡散領域は第1及び第2MOSTランジスタ下部の半導体基板内に形成され、一側が信号入力端子に接続され他側が第1及び第2MOSTランジスタのゲートに共通に接続される。好ましい形態として、拡散領域は抵抗として使用される。

【0009】

【発明の実施の形態】以下図2乃至図4を参照して本発明の好適な実施の形態を説明する。

【0010】図2を参照すると、本発明の実施の形態による新規なSOI構造を有する半導体集積回路装置は、半導体基板の上に絶縁膜を隔てて形成された半導体物質層と、この半導体物質層とその上部に形成されたMOS回路と、そしてこのMOS回路下部の半導体基板の中に形成された抵抗拡散領域を含む。このような半導体集積回路装置によれば、抵抗がMOS回路側方の半導体基板内に形成された従来に比べてMOS回路下に形成されるので半導体集積回路装置のレイアウト面積が減らせる。

【0011】次の説明では本発明のより徹底した理解のために図4の半導体集積回路装置の等価回路図が例にあげられる。以後の説明で図面中、同一あるいは類似の参照番号及び符号は可能な限り同一あるいは類似の構成要素を示す。

【0012】図2は本発明の実施の形態に従う半導体集積回路装置の垂直断面図である。この図2を参照すると、SOI構造を有する半導体集積回路装置は、ハンドルウェハ(handle wafer)である半導体基板1、絶縁膜2、半導体物質層3、ゲート電極、ソース領域及びドレイン領域を各々有する第1及び第2MOSTランジスタ4、5(集積回路10)そして抵抗拡散領域7を含んで構成される。

【0013】半導体物質層3は半導体基板1の上に絶縁膜2を隔てて形成され、第1及び第2MOSTランジスタ4、5のゲート電極4a、5aは半導体物質層3の上にゲート酸化膜(図示せず)を隔てて形成される。

【0014】この時、半導体基板1はn型或いはp型に形成され、本発明の実施の形態ではp型に限定して詳細に説明する。絶縁膜2はSOI基板の埋込酸化膜として作用する。ソース領域及びドレイン領域(図示せず)はゲート電極4a、5a両側下部の半導体物質層3内に形成される。

【0015】抵抗拡散領域7は絶縁膜2を隔てて第1及

び第2MOSTランジスタ4、5下部の半導体基板1内に形成されている。

【0016】上述したようなSOI構造を有する半導体集積回路装置の製造方法は次のようである。この例では、CMOSインバータ回路及び信号入力端INの間に接続される抵抗の製造方法を説明する。

【0017】図2を参照すると、まずSOI基板が準備される。この時、SOI基板として、バルク(或いは半導体基板)全面に酸素を注入し熱処理して形成したSIMOX SOI基板或いはバルクの上に酸化膜を形成した後酸化膜の上に上部基板を形成したSDS(silicon Direct Bonding) SOI基板等を使用することができる。本発明では半導体基板1上に絶縁膜(埋込酸化膜)2及び半導体物質層3が形成されたSOI基板が準備される。

【0018】次に、PMOSTランジスタ4とNMOSTランジスタ5が形成される領域下部に抵抗拡散領域7を形成するために低濃度の不純物イオン例えばP(リン)が400KeVのイオンエネルギーと $5.0 \times 10^{12} \text{ cm}^3$ のドーピング濃度で半導体基板1に注入される(参照番号7a')。

【0019】半導体物質層3の上にPMOS及びNMOSTランジスタのゲート電極4a、5aが形成され、イオン注入工程によってソース/ドレイン領域(図示せず)が形成される。

【0020】抵抗拡散領域7を信号入力端INとMOSTランジスタ4、5に接続するためにMOSTランジスタ両側下部の絶縁膜2がエッチングされ開口6が形成される。そして、その開口6を通じて高濃度の不純物イオン例えばAs(ヒ素)が60KeVのイオンエネルギーと $5.0 \times 10^{15} \text{ cm}^3$ のドーピング濃度で半導体基板1に注入され(参照番号7b')後続金属コンタクトとの抵抗が減らされる。

【0021】最後に、中間絶縁膜8を形成した後、抵抗拡散領域7、MOSTランジスタ4、5及び電源VDD、VSSとの相互接続のために金属コンタクト9、11、12、13が形成される。即ち、抵抗拡散領域7内の高濃度拡散領域7b'のうち一つは信号入力端INに接続され、他の一つはMOSTランジスタ4、5のゲート電極4a、5aに共通に接続される。さらに、PMOSTランジスタ4のソースはVDDに接続され、ドレインはNMOSTランジスタ5のドレインと共に信号出力端OUTに接続される。さらに、NMOSTランジスタ5のソースはVSSに接続される。

【0022】図3は本発明の実施の形態に従う半導体集積回路装置の平面図であり、PMOS及びNMOSTランジスタ4、5のゲート電極4a、5a、ソース領域及びドレイン領域が形成された領域下部に抵抗拡散領域7が形成されていることが分かる。

【0023】図4は本発明の実施の形態に従う図3の半

導体集積回路装置の等価回路図であり、抵抗Rは図3の抵抗拡散領域7で構成され、PMOSTランジスタ4は図3のゲート電極4aとその両側下部の半導体物質層3内のソース・ドレイン領域で構成され、NMOSTランジスタ5はゲート電極5aとその両側下部の半導体物質層3内のソース・ドレイン領域で構成される。

【0024】前述したように、本発明の実施の形態に従う半導体集積回路装置は下部に形成される抵抗拡散領域を有することで、図1の半導体集積回路装置に比べて半導体集積回路装置のレイアウト面積が大きく減少する。

【0025】以上で本発明に従う回路について説明したが、上記は一例にすぎず、本発明は本発明の技術的思想を外れない範囲内で多様な変更が可能である。

【0026】

【発明の効果】以上のように本発明によれば、SOI基板の上に形成された集積回路の下部に抵抗領域を形成することで、半導体集積回路装置のレイアウト面積を減少できる。

【図面の簡単な説明】

【図1】従来技術に従うSOI構造を有する半導体集積回路装置の断面図である。

【図2】本発明に従うSOI構造を有する半導体集積回路装置の断面図である。

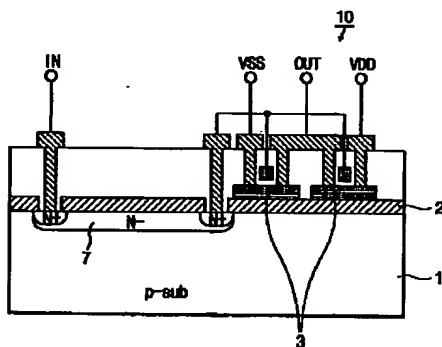
【図3】図2の半導体集積回路装置を上部から見た平面図である。

【図4】本発明の実施の形態に従う半導体集積回路装置の等価回路図である。

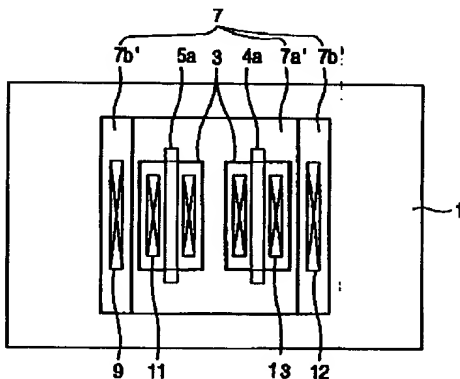
【符号の説明】

- 1 半導体基板
- 2 絶縁膜
- 3 半導体物質層
- 4 PMOSTランジスタ
- 5 NMOSTランジスタ
- 4a, 5a ゲート電極
- 7 抵抗拡散領域
- 10 集積回路

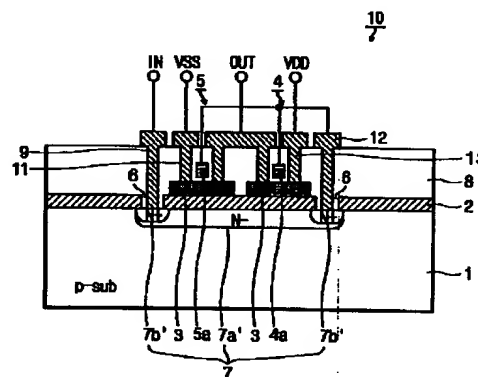
【図1】



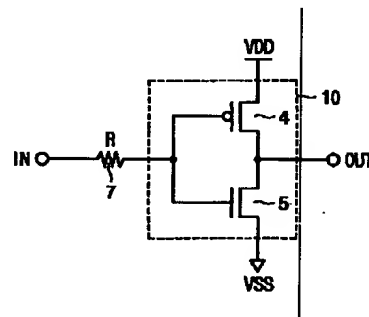
【図3】



【図2】



【図4】



(5)

特開2001-94061

フロントページの続き

(51)Int.Cl.⁷

H01L 27/08
29/786

識別記号

331

FI

H01L 29/78

テマコード(参考)

613A
626C

JP - Intel 2001

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention more specifically relates to the semiconductor integrated circuit equipment which has SOI structure about semiconductor integrated circuit equipment.

[0002]

[Description of the Prior Art] SOI (silicon on insulator) technology is the technology for manufacturing a high-speed MOS circuit and a CMOS circuit. According to such technology, the vacuum evaporation of a semiconductor matter layer like silicon will be carried out on an insulator layer, and the insulator layer of a semiconductor matter layer and its lower part and capacitor distributor shaft coupling between substrates will decrease. High-speed switching operation is possible for the field-effect transistor manufactured by the thin semiconductor matter layer and other elements. SOI technology uses the semiconductor matter layer 3 arranged on the insulator layer 2 on the support bulk wafer 1 as shown in drawing 1. A SOI substrate which was mentioned above is any one of a SIMOX (separation by implanted oxygen) SOI substrate or BE (bonded and etchback) SOI substrates. Generally, SOI structure contains the embedded oxide film and single-crystal-silicon film which are a silicon oxide on a single-crystal-silicon substrate.

[0003] Drawing 1 shows the cross section of the semiconductor integrated circuit equipment which has the conventional SOI structure, the integrated circuit (CMOS inverter circuit) 10 is formed on the SOI substrate, this integrated circuit 10 is adjoined and the resistance diffusion field (resistor diffusion region) 7 is formed in the semiconductor substrate 1. The semiconductor integrated circuit equipment which has the conventional SOI structure is U.S. It is carried by pat.No.5,786,616 "SEMICONDUCTOR INTEGRATED CIRCUIT HAVING AN SOI STRUCTURE and PROVIDED WITH A PROTECTIVE CIRCUIT." The resistance diffusion field 7 is formed by injecting an impurity into the semiconductor substrate 1, and is connected with the signal input edge IN through metal contact at an integrated circuit 10.

[0004]

[Problem(s) to be Solved by the Invention] However, since the resistance diffusion field 7 is formed in the lower part of the SOI substrate in which elements, such as a transistor, a capacitor, or diode, are not formed, it becomes the factor which makes the layout area of semiconductor integrated circuit equipment increase.

[0005] this invention was made in view of the above-mentioned point, and aims at offering the semiconductor integrated circuit equipment which can reduce chip area.

[0006]

[Means for Solving the Problem] According to one feature of this invention, semiconductor integrated circuit equipment includes an integrated circuit and a diffusion field. An integrated circuit is formed in the semiconductor matter layer formed by separating an insulator layer on the semiconductor substrate of the 1st conductivity type, and its upper part. A diffusion field is formed in the semiconductor substrate of the integrated-circuit lower part by the 2nd conductivity type. As a desirable gestalt, a diffusion field is used as resistance.

[0007] According to other features of this invention, semiconductor integrated circuit equipment includes a semiconductor substrate, a semiconductor matter layer, an MOS circuit, and a diffusion field. On a semiconductor substrate, a semiconductor matter layer separates an insulator layer and is formed. An MOS circuit is formed in a semiconductor matter layer and its upper part. A diffusion field is formed in the semiconductor substrate of the MOS circuit lower part by the 2nd conductivity type. As a desirable gestalt, a diffusion field is used as resistance.

[0008] According to the feature of further others of this invention, semiconductor integrated circuit equipment includes a semiconductor substrate, a semiconductor matter layer, the 1st MOS transistor, the 2nd MOS transistor, and a diffusion field. On a semiconductor substrate, a semiconductor matter layer separates an insulator layer and is formed. The 1st MOS transistor is formed in a semiconductor matter layer and its upper part, and has the drain connected to the source connected to the gate and the 1st voltage, and a signal output terminal. Similarly the 2nd MOS transistor is formed in a semiconductor matter layer and its upper part, and has the source connected to the gate connected to the gate of the 1st MOS transistor, the drain connected to the drain of the 1st MOS transistor, and the 2nd voltage. a diffusion field -- the [the 1st and] -- it is formed in the semiconductor substrate of 2 MOS-transistor lower part, and an unilateral connects with a signal input terminal -- having -- the side else -- the [the 1st and] -- it connects common to the gate of 2 MOS transistors As a desirable gestalt, a diffusion field is used as resistance.

[0009]

[Embodiments of the Invention] With reference to drawing 2 or drawing 4, the gestalt of suitable operation of this invention is explained below.

[0010] ** [reference of drawing 2 / include / the resistance diffusion field formed into the semiconductor substrate of the semiconductor matter layer formed by separating an insulator layer on the semiconductor substrate, this semiconductor matter layer and the MOS circuit formed in the upper part, and this MOS circuit lower part / the semiconductor integrated circuit equipment which has the new SOI structure by the gestalt of operation of this invention] according to such semiconductor integrated circuit equipment -- resistance -- an MOS circuit -- since it is formed in the bottom of an MOS circuit compared with the former formed in the semiconductor substrate of the side, the layout area of semiconductor integrated circuit equipment can be reduced

[0011] The representative circuit schematic of the semiconductor integrated circuit equipment of drawing 4 is mentioned as an example in the next explanation for an understanding put into practice from this invention's. Future explanation shows same or that an analogous reference number and a sign are as the same as possible or an analogous component among a drawing.

[0012] Drawing 2 is the vertical cross section of the semiconductor integrated circuit equipment according to the gestalt of operation of this invention. the [the 1st which has respectively the semiconductor substrate 1 whose semiconductor integrated circuit equipment which has SOI structure is a handle wafer (handle wafer) when this drawing 2 is referred to, an insulator layer 2, the semiconductor matter layer 3, a gate electrode, a source field, and a drain field, and] -- it is constituted including 2 MOS transistors 4 and 5 (integrated circuit 10) and the resistance diffusion field 7

[0013] the semiconductor matter layer 3 separates and forms an insulator layer 2 on the semiconductor substrate 1 -- having -- the [the 1st and] -- on the semiconductor matter layer 3, the gate electrodes 4a and 5a of 2 MOS transistors 4 and 5 separate a gate oxide film (not shown), and are formed

[0014] At this time, the semiconductor substrate 1 is formed in n type or p type, with the gestalt of operation of this invention, is limited to p type and explained in detail. An insulator layer 2 acts as an embedded oxide film of a SOI substrate. A source field and a drain field (not shown) are formed in the semiconductor matter layer 3 of gate electrode 4a and 5a both-sides lower part.

[0015] the resistance diffusion field 7 -- an insulator layer 2 -- separating -- the [the 1st and] -- it is formed in 2 MOS transistor 4 and the semiconductor substrate 1 of the 5 lower part

[0016] The manufacture method of semiconductor integrated circuit equipment of having SOI structure which was mentioned above is as follows. This example explains the manufacture method of the resistance connected between a CMOS inverter circuit and the signal input edge IN.

[0017] Reference of drawing 2 prepares a SOI substrate first. SIMOX which poured in, heat-treated and formed oxygen all over bulk (or semiconductor substrate) as a SOI substrate at this time After forming an oxide film after a SOI substrate or bulk, the SDS(silicon Direct Bonding) SOI substrate in which the up substrate was formed on the oxide film etc. can be used. In this invention, the SOI substrate by which the insulator layer (embedded oxide film) 2 and the semiconductor matter layer 3 were formed on the semiconductor substrate 1 is prepared.

[0018] Next, in order to form the resistance diffusion field 7 in the field lower part in which the PMOS transistor 4 and the NMOS transistor 5 are formed, low-concentration impurity ion (Lynn), for example, P, is injected into the semiconductor substrate 1 by the doping concentration of $3.5 \times 10^{12} \text{cm}^{-2}$ with the ion energy of 400Kev(s) (reference-number 7a').

[0019] The gate electrodes 4a and 5a of PMOS and an NMOS transistor are formed on the semiconductor matter layer 3, and the source / drain field (not shown) is formed of an ion-implantation process.

[0020] In order to connect the resistance diffusion field 7 with the signal input edge IN at MOS transistors 4 and 5, the insulator layer 2 of the MOS transistor both-sides lower part *****s, and opening 6 is formed. And high-concentration impurity ion (arsenic), for example, As, is injected into the semiconductor substrate 1 by the doping concentration of $3.5 \times 10^{15} \text{cm}^{-2}$ with the ion energy of 60KeV(s) through the opening 6 (reference-number 7b'), and resistance with consecutiveness metal contact is reduced.

[0021] Finally, after forming the middle insulator layer 8, the metal contacts 9, 11, 12, and 13 are formed for interconnection with the resistance diffusion field 7, MOS transistors 4 and 5, and power supplies VDD and VSS. That is, one of high concentration diffusion field 7b' in the resistance diffusion field 7 is connected to the signal input edge IN, and other one is connected to the gate electrodes 4a and 5a of MOS transistors 4 and 5 in common. Furthermore, the source of the PMOS transistor 4 is connected to VDD, and a drain is connected to the signal outgoing end OUT with the drain of the NMOS transistor 5. Furthermore, the source of the NMOS transistor 5 is connected to VSS.

[0022] Drawing 3 is the plan of the semiconductor integrated circuit equipment according to the gestalt of operation of this invention, and it turns out that the resistance diffusion field 7 is formed in the field lower part in which PMOS and the gate electrodes 4a and 5a of the NMOS transistors 4 and 5, the source field, and the drain field were formed.

[0023] Drawing 4 is the representative circuit schematic of the semiconductor integrated circuit equipment of drawing 3 according to the gestalt of operation of this invention, Resistance R consists of resistance diffusion fields 7 of drawing 3, the PMOS transistor 4 consists of source drain fields in the semiconductor matter layer 3 of the gate electrode 4a and the both-sides lower part of drawing 3, and the NMOS transistor 5 consists of source drain fields in the semiconductor matter layer 3 of gate electrode 5a and its both-sides lower part.

[0024] As mentioned above, the semiconductor integrated circuit equipment according to the gestalt of operation of this invention is having the resistance diffusion field formed in the lower part, and the layout area of semiconductor integrated circuit equipment decreases greatly compared with the semiconductor integrated circuit equipment of drawing 1.

[0025] Although the circuit which follows this invention above was explained, it does not pass over the above to an example, but various change is possible for this invention within limits which do not separate from the technical thought of this invention.

[0026]

[Effect of the Invention] According to this invention, the layout area of semiconductor integrated circuit equipment can be decreased as mentioned above by forming a resistance field in the lower part of the integrated circuit formed on the SOI substrate.

[Translation done.]